

IC パターンレイアウト設計におけるレイアウト検証ツール(DRC/LVS)

山形大学工学部技術部
応用生命システム工学科 水沼 充

1. はじめに

半導体集積回路(IC)は「産業の米」と言われるほど産業機器等に広く用いられており、私が所属する応用生命システム工学科高橋研究室では、実用的な IC の開発を目指している。IC の試作は、全国大学・高専の共同利用センター「大規模集積システム設計教育研究センター」(通称、VDEC)を経由して行い [1]、高橋研究室の学部 4 年生および大学院生に IC の設計・試作・評価を経験させ、企業の即戦力となり得るようにしている [2]。

IC (以下では特に ASIC、特定用途向き IC をいう)設計の工程には、システム設計(機能、仕様、回路方式)、詳細回路設計、マスクパターンレイアウト設計(以下パターンレイアウト設計という)があり [3]、システム設計者や回路設計者が IC の機能を引き出すためにはパターンレイアウト設計まで行うことが有効な手段で、重要な技術の一つとなっている。

本稿では、作成したパターンレイアウトデータがパターン設計規則を満たしているかを検証するツールである DRC(設計規則検査、Design Rule Check)および LVS(レイアウト・ネットリストの照合、Layout Versus Schematic)について紹介する。

2. IC のパターンレイアウト設計

IC のパターンレイアウト設計は、詳細回路設計で設計された回路図を IC 製造工程(プロセス)で使用するマスクパターンに置き換える作業で、マスクに対応するレイヤ(層)を定義し、パターンレイアウト設計ツールを用いてマスクパターンを描く [3]。

IC の製造工程はメーカ毎に異なり、メーカが指定する設計方法をパターン設計規則(単にデザインルールともいう)と呼ぶ。デザインルールはプロセス技術者がプロセスの製造精度から決めたマスクパターンの制約条件であり、各層のパターン幅、間隔や各層の重なりなどの許容最小寸法を表し、デザインルールを満たすパターンレイアウトは必

ず動作することを保証している [3]。

代表的なパターンレイアウト設計手法を図 1 に示す。マニュアル設計はパターンレイアウト設計ツールを対話的に操作してトランジスタやマクロセルを配置したり、配線領域を指定したりして設計していく方法である。設計に時間がかかるが、アナログ回路設計に有効で、その他に高速に動作させたい、低消費電力にしたい等、細かい調整が必要な設計にも有効である。自動設計はスタンダードセルなどを使用して自動的にパターンレイアウトを行う方法である。大規模な論理回路設計に有効で、その他に短期間の設計にも有効である。

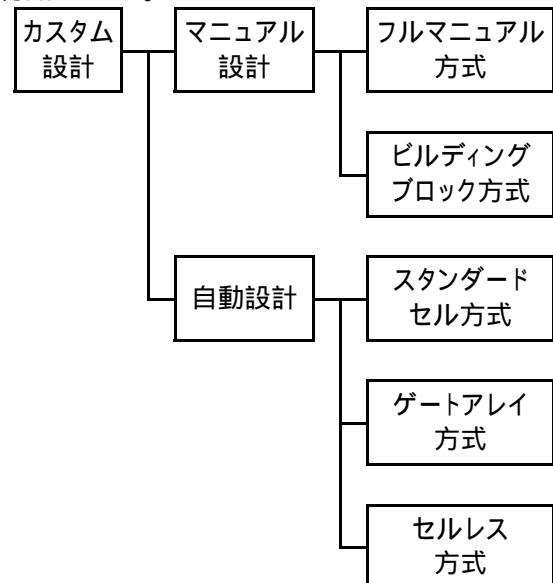


図 1 代表的なパターンレイアウト設計手法

3. 検証ツール DRC/LVS

パターンレイアウト設計における最終作業が DRC および LVS と呼ばれる検証作業である。

3.1 DRC

DRC はデザイン・ルール・チェックと呼ばれ、作成されたパターンレイアウトデータがデザインルールに違反していないかどうかを確認し、間違いがあれば訂正を行う。デザインルールには、具体的に、レイヤ(層)の定義をはじめ、素子層、拡散層、金属層やコン

タクト窓などの幅や間隔、異なる層間の重なりなどの許容最小寸法などが書かれている。デザインルールに違反した場合、幅違反による断線、間隔違反による短絡など、意図した動作をしなくなる動作不良のケースがでたり、マスクを作成する際に解像限界以下になるとパターンレイアウトデータが正しくマスクに反映されなくなってしまうケースもでてくる。また、ICの製造メーカから提供されるデザインルールはメーカとの秘密保持契約の対象となるものであり取扱には十分な注意を要する。

DRCを実行する前に、テクノロジーファイルと呼ばれるDRC用デザインルールファイルを用意する。

3.2 SPICE ネットリスト

設計した回路の動作を検証する場合にはSPICE系回路シミュレータが用いられる[4]。回路図エディタで回路図を描くと、回路図エディタによって入力された回路図から回路のネットリスト(接続情報)すなわちSPICEネットリストが得られる[4]。

3.3 LVS

LVSはレイアウト・バーサス・スキマティックと呼ばれ、パターンレイアウトデータから抽出されたSPICEネットリストと、回路図から得られたSPICEネットリストを比較して、一致しているかどうかを調べ、不一致箇所があればパターンレイアウトを修正する。

4. マニュアル設計におけるDRC/LVS検証

タナー・リサーチ社のパターンレイアウト設計ツールL-Edit Proおよび回路シミュレータT-Spice Proはパソコンで利用できる[3][5]。L-Edit Proには、レイアウトエディタL-Edit、レイアウト検証ツールDRCとLVS、パターンレイアウトデータからSPICEネットリストを抽出するExtractが入っている。図2にCMOSプロセスのDRCルールの設定例を示す。DRCではセル全体の検証と指定したエリア検証がある。図3にLVSの設定例を示す。LVSでは、Extractによりパターンレイアウトから抽出したSPICEネットリストと回路図のネットリストを比較する。

5. まとめ

パターンレイアウト設計におけるレイアウト検証ツールであるDRCおよびLVSについて紹介した。システム設計者や回路設計者が

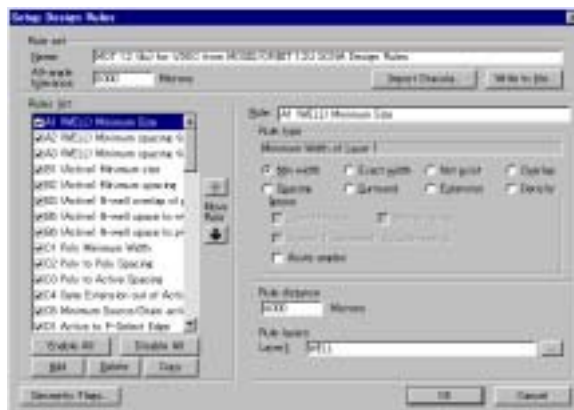


図2 DRCルールの設定ダイアログ

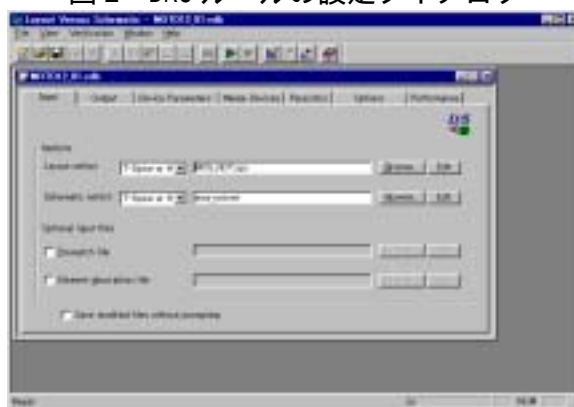


図3 LVSの設定ダイアログ

パターンレイアウト設計に接する機会は今後増えてくるので、理解の一助になればと思っている。

謝辞

日頃ご指導頂いております高橋一清教授に深く感謝致します。また、多くのご教示を頂いております横山道央助教授に感謝致します。

参考文献

- [1]VDEC ホームページ「VDECの役割」,「VLSIマルチプロジェクトチップ試作の流れ」.
- [2]水沼, “学部4年生対象の特別実習「ICのパターンレイアウト設計」”, H14 東北地区国立学校等技術専門職員研修電気電子コース技術発表要旨集, pp. 電 61-電 64, 2002.
- [3]水沼, “パソコンで動作するICパターンレイアウト設計用ツール”, H14 山形大工技術部技術報告, 第1巻, pp. 22-25, 2003.
- [4]水沼, “SPICE系アナログ電子回路シミュレータの活用”, H13 山形大工技術部技術発表要旨集, pp. 18-21, 2001.
- [5]下垣, “L-Edit Pro 実習”, “T-Spice Pro 実習”, Tanner Tools Pro セミナー, 2003.